

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

Shozo KAWABATA

Group Art Unit: Unknown

Application No.: Unknown

Examiner: Unknown

Filed: September 22, 2003

Attorney Dkt. No.: 024016-00069

For: CONTROL METHOD OF NON-VOLATILE SEMICONDUCTOR MEMORY
CELL AND NON-VOLATILE SEMICONDUCTOR MEMORY DEVICE

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Date: September 22, 2003

Sir:

The benefit of the filing dates of the following prior foreign applications in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Foreign Application No. 2002-274753, dated September 20, 2002, in Japan.

In support of this claim, certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Please charge any fee deficiency or credit any overpayment with respect to this paper to Deposit Account No. 01-2300.

Respectfully submitted,



Charles M. Marmelstein
Registration No. 25,895

#39107

Customer No. 004372
ARENT FOX KINTNER PLOTKIN & KAHN, PLLC
1050 Connecticut Avenue, N.W.,
Suite 400
Washington, D.C. 20036-5339
Tel: (202) 857-6000
Fax: (202) 638-4810
CMM/cam

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月20日

出 願 番 号

Application Number:

特願2002-274753

[ST.10/C]:

[JP 2002-274753]

出 願 人

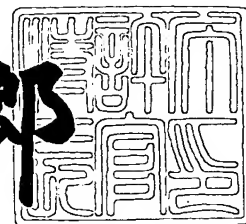
Applicant(s):

富士通株式会社

2003年 2月 4日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3004619

【書類名】 特許願

【整理番号】 0240597

【提出日】 平成14年 9月20日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 16/02

【発明の名称】 不揮発性半導体記憶セルの制御方法、および不揮発性半導体記憶装置

【請求項の数】 10

【発明者】

 【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴェルエスアイ株式会社内

 【氏名】 河端 正蔵

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100098431

 【弁理士】

 【氏名又は名称】 山中 郁生

 【電話番号】 052-218-7161

【選任した代理人】

 【識別番号】 100097009

 【弁理士】

 【氏名又は名称】 富澤 孝

【手数料の表示】

 【予納台帳番号】 041999

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0008078

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶セルの制御方法、および不揮発性半導体記憶装置

【特許請求の範囲】

【請求項 1】 消去または書き込み用のバイアス電圧を印加するバイアス印加期間と、前記バイアス印加期間の終了後に結果確認を行うベリファイ期間とを動作サイクルとして、前記動作サイクルを繰り返し行うことにより不揮発性半導体記憶セルに対して消去動作または書き込み動作を行う際、

前記消去動作または前記書き込み動作の進行に従い、連続する少なくとも 1 つの前記動作サイクルを含む動作ユニットごとに前記バイアス電圧が深くなり、前記動作ユニットの継続時間が、1 つ前の前記動作ユニットとの前記バイアス電圧の電圧差に対して正の相関を有して調整されるバイアス調整ステップと、

前記消去動作または前記書き込み動作の終端部において、前記動作サイクルの周期が最短周期となるベリファイステップとを有することを特徴とする不揮発性半導体記憶セルの制御方法。

【請求項 2】 前記ベリファイステップに至る前記動作ユニットにおいては、前記動作サイクルの周期が、前記動作ユニットごとに減少することを特徴とする請求項 1 に記載の不揮発性半導体記憶セルの制御方法。

【請求項 3】 前記バイアス調整ステップでは、隣接する前記動作ユニット間の前記バイアス電圧の電圧差、および前記動作ユニットの継続時間は、前記動作ユニット間で同じであることを特徴とする請求項 1 に記載の不揮発性半導体記憶セルの制御方法。

【請求項 4】 前記バイアス調整ステップでは、隣接する前記動作ユニット間の前記バイアス電圧の電圧差、および前記動作ユニットにおける前記バイアス印加期間の総時間は、前記動作ユニット間で同じであることを特徴とする請求項 1 に記載の不揮発性半導体記憶セルの制御方法。

【請求項 5】 消去または書き込み用のバイアス電圧を印加するバイアス印加期間と、前記バイアス印加期間の終了後に結果確認を行うベリファイ期間とを動作サイクルとして、前記動作サイクルを繰り返し行うことにより不揮発性半導

体記憶セルに対して消去動作または書き込み動作を行う際、

前記消去動作または前記書き込み動作の開始より第 1 所定期間において、前記消去動作または前記書き込み動作の進行に従い、連続する少なくとも 1 つの前記動作サイクルを含む動作ユニットごとに前記バイアス電圧が深くなり、前記動作ユニットの継続時間が、1 つ前の前記動作ユニットとの前記バイアス電圧の電圧差に対して正の相関を有して調整される第 1 バイアス調整ステップと、

前記消去動作または前記書き込み動作の終端部に至る第 2 所定期間において、前記消去動作または前記書き込み動作の進行に従い、連続する少なくとも 1 つの前記動作サイクルを含む動作ユニットごとに前記バイアス電圧が深くなり、前記動作ユニットの継続時間が、前記第 1 バイアス調整ステップにおいて調整される時間に比して短縮される第 2 バイアス調整ステップと、

前記消去動作または前記書き込み動作の終端部において、前記動作サイクルの周期が最短周期となるベリファイスステップとを有することを特徴とする不揮発性半導体記憶セルの制御方法。

【請求項 6】 前記第 2 バイアス調整ステップでは、前記動作ユニットの継続時間は、先行する前記動作ユニットの継続時間に比して短縮されることを特徴とする請求項 5 に記載の不揮発性半導体記憶セルの制御方法。

【請求項 7】 前記先行する動作ユニットとは、1 つ前の前記動作ユニットであることを特徴とする請求項 6 に記載の不揮発性半導体記憶セルの制御方法。

【請求項 8】 前記第 2 バイアス調整ステップでは、前記動作ユニット間の前記バイアス電圧の電圧差は、先行する前記動作ユニット間の前記バイアス電圧の電圧差に比して増大することを特徴とする請求項 5 に記載の不揮発性半導体記憶セルの制御方法。

【請求項 9】 前記先行する動作ユニットとは、1 つ前の前記動作ユニットであることを特徴とする請求項 8 に記載の不揮発性半導体記憶セルの制御方法。

【請求項 10】 消去または書き込み用のバイアス電圧を印加するバイアス印加期間と、前記バイアス印加期間の終了後に結果確認を行うベリファイ期間とを動作サイクルとして、前記動作サイクルを繰り返し行うことにより不揮発性半導体記憶セルに対して消去動作または書き込み動作を行う不揮発性半導体記憶装

置であって、

前記消去動作または前記書き込み動作時の制御パラメータを設定する制御パラメータ設定部と、

前記制御パラメータ設定部からの前記制御パラメータに応じて、前記消去動作または前記書き込み動作を制御する制御部とを備えることを特徴とする不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、不揮発性半導体記憶セルへの消去動作または書き込み動作に関するものであり、特に、消去動作または書き込み動作を、信頼性を確保した上で高速に行うための制御方法、および不揮発性半導体記憶装置に関するものである。

【0002】

【従来の技術】

特許文献1に開示されている不揮発性半導体記憶装置では、書き込み時間等の短縮を目的としており、書き込みのパルス波形において、パルスの電圧を各印加サイクル毎に上げていくISP法に対してさらに改良を加えて、パルスの電圧のみではなく、パルス幅も変化させる。

【0003】

書き込み開始後、最初に幅 T_{PW1} 、電圧 V_{W1} の書き込みパルス S_{P1} が発生される。2回目の書き込みでは、幅 T_{PW2} 、電圧 V_{W1} よりステップ電圧 ΔV_1 だけ大きい電圧に設定されている書き込みパルス S_{P2} が発生される。

【0004】

ここで、2回目以降のパルスに対して、第2の幅をもつパルスを所定の回数において生成し、上記所定の回数以降、上記第2の幅よりさらに短い第3の幅をもつパルスを生成するように構成することも可能である。この場合のパルス波形を図7に示す。図7では、所定の回数を、第2の幅では2回、更に第3の幅では3回として図示している。第2および第3のパルスは第2の幅 T_{P200} で、第4乃至第6のパルスは第3の幅 T_{P300} を有して構成される。ここで、特許文献

1 は I S P P 法の改良であるため、パルスの電圧は各印加サイクルごとに大きくなる。

【0005】

また、特許文献2に開示されている不揮発性半導体記憶装置では、高速なデータ書き込みを目的としており、書き込み電圧 V_{PP} が上限の V_{PPmax} になるまでは、書き込み時間は、一定時間 t である。書き込み電圧を書き込み回数ごとに ΔV_{PP} ずつ上昇させ、上限の V_{PPmax} に達したとき、これ以降のデータの書き込みについては、一定値 V_{PPmax} を維持しつつ、書き込み時間は $T(n) = 4 \times T(n-1)$ になるように長くする。書き込み電圧 V_{PP} が制限されているため、次の書き込み動作におけるメモリセルのしきい電圧の変動分のさらなる拡大を、書き込み時間を変化させることによって達成している。

【0006】

【特許文献1】

特開平11-39887号公報（段落0015、段落0020-段落0026、第1図、請求項5）

【特許文献2】

特開平8-329694号公報（段落0012、段落0031、段落0033、第2図）

【0007】

【発明が解決しようとする課題】

特許文献1では、書き込み時間等の短縮を目的としている。不揮発性半導体記憶セルのフローティングゲートへの消去動作や書き込み動作のための、トンネル電流（消去動作の場合）やホットエレクトロン電流（書き込み動作の場合）は、パルス印加時における、フローティングゲートと、ソースあるいはチャネル領域との間の電界に応じて流れる。印加される電界は、残存電界に、1サイクル前のパルス電圧からの電圧の増加分が加算されてパルス印加時に最大となる。その後は、フローティングゲートからの電荷の放出（消去動作の場合）やフローティングゲートへの電荷の注入（書き込み動作の場合）が進行するにつれて緩和されていく。従って、トンネル電流やホットエレクトロン電流はパルス印加時に最大の

電流が流れ、その後、徐々に減少していく電流波形となる。

【 0 0 0 8 】

図 7 に示すように特許文献 1 に示される従来技術では、パルスごとにパルスの電圧を大きくすると共に、この間のパルス幅を所定の回数のパルスごとに短縮していく構成である。このため、トンネル電流等が流れることにより所定の減衰波形に従い印加電界が徐々に緩和されていくところ、パルスごとにパルス電圧が増大しながら、他方でパルス幅が減少することとなる。パルス幅の減少に伴いトンネル電流等が流れており印加電界が残存した状態で、新たなパルス波形により新たな電界が加算されてしまう。

【 0 0 0 9 】

トンネル電流等が流れており消去等の動作が継続している段階で、先行して新たな電界を加算することとなり、不揮発性半導体記憶セルに対して過度の電界を印加することとなり素子の信頼性上問題である。

【 0 0 1 0 】

また、不揮発性半導体記憶セルの消去動作等においては、ゲート破壊電圧等の素子耐圧に至らない範囲内での電界の印加が必要なことは言うまでもない。従って、パルスごとに印加電界が加算されてしまう特許文献 1 においては、消去動作等が完了する終端部において、印加電界が素子耐圧以内に収まるように消去動作等の初期段階における印加電界を制限する必要がある。このため、消去動作等の初期段階において、トンネル電流等が制限されてしまい消去動作等が効率よく行われないという問題がある。

【 0 0 1 1 】

また、特許文献 2 では、高速なデータ書き込みを目的としており、各回の書き込みを確実にを行うために、書き込み電圧 V_{PP} が上限の電圧 V_{PPmax} に達した後は、書き込み時間を長くする。

【 0 0 1 2 】

しかしながら、書き込み動作の完了に近づく後段において、1 回の書き込み時間が長くなってしまい、1 回の書き込み期間の途中で書き込みが完了してしまう場合に、その後、その書き込み動作が終了するまでに不要な電界が印加され続け

てしまい、信頼性上問題である。

【 0 0 1 3 】

本発明は前記従来技術の課題の少なくとも1つを解消するためになされたものであり、過度な電界を印加することなく信頼性を確保した上で、消去動作または書き込み動作を高速に行うための制御方法、および不揮発性半導体記憶装置を提供することを目的とする。

【 0 0 1 4 】

【課題を解決するための手段】

前記目的を達成するために、請求項1に係る不揮発性半導体記憶セルの制御方法は、消去または書き込み用のバイアス電圧を印加するバイアス印加期間と、バイアス印加期間の終了後に結果確認を行うベリファイ期間とを動作サイクルとして、動作サイクルを繰り返し行うことにより不揮発性半導体記憶セルに対して消去動作または書き込み動作を行う際、消去動作または書き込み動作の進行に従い、連続する少なくとも1つの動作サイクルを含む動作ユニットごとにバイアス電圧が深くなり、動作ユニットの継続時間が、1つ前の動作ユニットとのバイアス電圧の電圧差に対して正の相関を有して調整されるバイアス調整ステップと、消去動作または書き込み動作の終端部において、動作サイクルの周期が最短周期となるベリファイステップとを有することを特徴とする。

【 0 0 1 5 】

請求項1の不揮発性半導体記憶セルの制御方法では、バイアス調整ステップとして、1動作サイクルまたは2以上の動作サイクルを含んで構成される動作ユニットで同じバイアス電圧が印加されると共に、動作ユニットの切り替わりでより深いバイアス電圧が印加される。動作ユニットの継続時間は、動作ユニット間でのバイアス電圧の増加電圧差に対して正の相関を有して設定される。すなわち、バイアス電圧の増加電圧差が大きな場合には、バイアス電圧が増加した動作ユニットの継続時間が長くなり、バイアス電圧の増加電圧差が小さな場合には、バイアス電圧が増加した動作ユニットの継続時間は短くなる。また、ベリファイステップにおいて、消去動作または書き込み動作の終端部で動作サイクルの周期を最短周期として、ベリファイ期間の時間間隔を短縮する。

【 0 0 1 6 】

これにより、バイアス電圧の増加電圧差に対して正の相関を有してバイアス電圧増加後の動作ユニットの継続時間が決定されるので、増加電圧差に応じて不揮発性半導体記憶セルへの印加電界による、消去または書き込み電流が流れる時間に合わせて動作ユニットの継続時間を設定することができる。電流が減少して残存電界が低下した段階で更なるバイアス電圧を印加することができ、残存電界に印加電界が加算されることはない。素子の信頼性を確保しながら効率的に消去または書き込み動作を行うことができる。

【 0 0 1 7 】

印加電界に対する消去または書き込み用の電流は、正の相関を有して一意に定まるので、大きな増加電圧差のバイアス電圧の印加により大きな電界が印加される場合には、消去または書き込みに有効な電流が流れる時間は長くなる。動作ユニットの継続時間を長くすることにより、印加電界が低下するまでの有効な電流を継続して流すことができる。また、小さな増加電圧差のバイアス電圧の印加により小さな電界が印加される場合には、消去または書き込みに有効な電流が流れる時間は短くなる。動作ユニットの継続時間を短くすることにより、印加電界の低下による電流の減少に合わせて次の動作ユニットに移行することができる。何れの場合にも、印加電界の低下に合わせて更なるバイアス電圧が印加されることとなり、印加電界が加算されてしまうことはなく信頼性を維持しながら高速な消去または書き込みを行うことができる。

【 0 0 1 8 】

また、消去動作または書き込み動作の終端部において、ペリファイ期間の間隔が最短周期に短縮されるので、消去または書き込み動作の完了に近づいた段階で、頻繁にペリファイを行うことができ、消去または書き込み動作の完了と共にバイアス電圧の印加を停止することができる。動作完了後に不必要なバイアス電圧の印加が継続することはなく、不必要な電界ストレスによる素子の信頼性劣化を防止することができる。

【 0 0 1 9 】

動作ユニットの開始時には、不揮発性半導体記憶セルに残存している印加電界

は低下しているので、動作ユニットの初期に印加できる電界を、素子耐圧の範囲内で常に最大とすることができる。各動作ユニットにおける消去または書き込み電流を最大化することができ、高速動作を行わせることができる。

【 0 0 2 0 】

また、請求項 2 に係る不揮発性半導体記憶セルの制御方法は、請求項 1 に記載の不揮発性半導体記憶セルの制御方法において、ペリファイステップに至る動作ユニットにおいては、動作サイクルの周期が、動作ユニットごとに減少することを特徴とする。

【 0 0 2 1 】

これにより、動作ユニットごとにペリファイ期間の間隔が短縮されると共に、バイアス印加期間自体も短縮される。動作ユニットの切り替わりが進み、消去または書き込み動作の完了に近づくに応じて、短い時間のバイアス電圧印加ごとにペリファイを行うことができ、消去または書き込み動作の完了と共にバイアス電圧の印加を停止することができる。動作完了後に不必要なバイアス電圧の印加が継続されることはなく、不必要な電界ストレスによる素子の信頼性劣化を防止することができる。

【 0 0 2 2 】

また、請求項 3 に係る不揮発性半導体記憶セルの制御方法は、請求項 1 に記載の不揮発性半導体記憶セルの制御方法において、バイアス調整ステップでは、隣接する動作ユニット間のバイアス電圧の電圧差、および動作ユニットの継続時間は、動作ユニット間で同じであることを特徴とする。

【 0 0 2 3 】

これにより、動作ユニットの終了時点で残存電界が十分に低下する設定とすれば、素子に印加される電界は各動作ユニットで同等となる。各動作ユニットでの印加電界を最大化しながら、動作ユニット間で印加電界が加算されることがなく、素子信頼性を確保しながら高速な消去または書き込み動作を行うことができる。

【 0 0 2 4 】

また、請求項 4 に係る不揮発性半導体記憶セルの制御方法は、請求項 1 に記載

の不揮発性半導体記憶セルの制御方法では、バイアス調整ステップにおいて、隣接する動作ユニット間のバイアス電圧の電圧差、および動作ユニットにおけるバイアス印加期間の総時間は、動作ユニット間で同じであることを特徴とする。

【 0 0 2 5 】

これにより、動作ユニットごとに、ペリファイ期間を除外したバイアス印加期間の総時間を同じとするので、バイアス電圧が印加されている時間を動作ユニットごとに精度よく一致させることができる。印加電界に対して有効な電流が流れる期間を精度よく一致させることができ、素子信頼性と高速動作に寄与するところ大である。

【 0 0 2 6 】

また、請求項5に係る不揮発性半導体記憶セルの制御方法は、消去または書き込み用のバイアス電圧を印加するバイアス印加期間と、バイアス印加期間の終了後に結果確認を行うペリファイ期間とを動作サイクルとして、動作サイクルを繰り返すことにより不揮発性半導体記憶セルに対して消去動作または書き込み動作を行う際、消去動作または書き込み動作の開始より第1所定期間において、消去動作または書き込み動作の進行に従い、連続する少なくとも1つの動作サイクルを含む動作ユニットごとにバイアス電圧が深くなり、動作ユニットの継続時間が、1つ前の動作ユニットとのバイアス電圧の電圧差に対して正の相関を有して調整される第1バイアス調整ステップと、消去動作または書き込み動作の終端部に至る第2所定期間において、消去動作または書き込み動作の進行に従い、連続する少なくとも1つの動作サイクルを含む動作ユニットごとにバイアス電圧が深くなり、動作ユニットの継続時間が、第1バイアス調整ステップにおいて調整される時間に比して短縮される第2バイアス調整ステップと、消去動作または書き込み動作の終端部において、動作サイクルの周期が最短周期となるペリファイステップとを有することを特徴とする。

【 0 0 2 7 】

請求項5の不揮発性半導体記憶セルの制御方法では、消去動作または書き込み動作の開始より第1所定期間においては、第1バイアス調整ステップにより、1動作サイクルまたは2以上の動作サイクルを含んで構成される動作ユニットで同

じバイアス電圧が印加されると共に、動作ユニットの切り替わりでより深いバイアス電圧が印加される。動作ユニットの継続時間は、動作ユニット間でのバイアス電圧の増加電圧差に対して正の相関を有して設定される。消去動作または書き込み動作の終端部に至る第2所定期間においては、第2バイアス調整ステップにより、動作ユニットの切り替わりでより深いバイアス電圧が印加されると共に、動作ユニットの継続時間は、第1バイアス調整ステップにおいて調整される時間に比して短縮して設定される。更に、ベリファイステップにより、消去動作または書き込み動作の終端部で動作サイクルの周期を最短周期として、ベリファイ期間の時間間隔を短縮する。

【 0 0 2 8 】

ここで、第1所定期間とは、消去動作または書き込み動作の開始からの所定期間であり、消去動作または書き込み動作の初期においてバイアス電圧の印加を必要最小限とどめて素子の信頼性を確保するための期間である。また、第2所定期間とは、消去動作または書き込み動作が完了する終端部に至る所定期間であり、素子の信頼性を確保しながらバイアス状態を加速することにより、消去動作または書き込み動作を短時間で完了させるための期間である。

【 0 0 2 9 】

これにより、消去動作または書き込み動作の開始より第1所定期間においては、動作ユニット間のバイアス電圧の増加電圧差に応じた素子への印加電界により、有効な電流が流れる時間に合わせて動作ユニットの継続時間を設定することができ、素子の信頼性を確保しながら効率的に消去または書き込み動作を行うことができる。加えて、消去動作または書き込み動作の終端部においては、印加電界による電流が所定電流値に減少する前であって印加電界が残存している段階で、より深いバイアス電圧を印加して印加電界を加算する。印加電界の加算による電流の増大により消去または書き込み動作を加速させることができる。動作初期における素子信頼性を確保しながら高速な消去または書き込み動作を実現することができる。

【 0 0 3 0 】

また、消去動作または書き込み動作の終端部において、ベリファイ期間の間隔

が短縮されるので、消去または書き込み動作の完了に近づいた段階で、頻繁にベリファイを行うことができ、消去または書き込み動作の完了と共にバイアス電圧の印加を停止することができる。動作完了後に不必要なバイアス電圧の印加がされることはなく、不必要な電界ストレスによる素子の信頼性劣化を防止することができる。

【 0 0 3 1 】

また、請求項 6 に係る不揮発性半導体記憶セルの制御方法は、請求項 5 に記載の不揮発性半導体記憶セルの制御方法において、第 2 バイアス調整ステップでは、動作ユニットの継続時間は、先行する動作ユニットの継続時間に比して短縮されることを特徴とする。

【 0 0 3 2 】

これにより、第 2 バイアス調整ステップでは、先行する動作ユニットに対して継続時間を短縮することにより素子への印加電界を加速しており、動作の高速化を図ることができる。

【 0 0 3 3 】

また、請求項 7 に係る不揮発性半導体記憶セルの制御方法は、請求項 6 に記載の不揮発性半導体記憶セルの制御方法において、先行する動作ユニットとは、1 つ前の動作ユニットであることを特徴とする。これにより、動作ユニットごとに素子への印加電界は加速されることとなり、動作の高速化を図ることができる。

【 0 0 3 4 】

また、請求項 8 に係る不揮発性半導体記憶セルの制御方法は、請求項 5 に記載の不揮発性半導体記憶セルの制御方法において、第 2 バイアス調整ステップでは、動作ユニット間のバイアス電圧の電圧差は、先行する動作ユニット間のバイアス電圧の電圧差に比して増大することを特徴とする。

【 0 0 3 5 】

これにより、第 2 バイアス調整ステップでは、先行する動作ユニット間でのバイアス電圧の増加電圧差に比して大きな電圧差を印加することにより素子への印加電界を加速しており、動作の高速化を図ることができる。

【 0 0 3 6 】

また、請求項 9 に係る不揮発性半導体記憶セルの制御方法は、請求項 8 に記載の不揮発性半導体記憶セルの制御方法において、先行する動作ユニットとは、1 つ前の動作ユニットであることを特徴とする。これにより、動作ユニットごとに素子への印加電界は加速されることとなり、動作の高速化を図ることができる。

【 0 0 3 7 】

また、請求項 1 0 に係る不揮発性半導体記憶装置は、消去または書き込み用のバイアス電圧を印加するバイアス印加期間と、バイアス印加期間の終了後に結果確認を行うベリファイ期間とを動作サイクルとして、動作サイクルを繰り返し行うことにより不揮発性半導体記憶セルに対して消去動作または書き込み動作を行う不揮発性半導体記憶装置であって、消去動作または書き込み動作時の制御パラメータを設定する制御パラメータ設定部と、制御パラメータ設定部からの制御パラメータに応じて、消去動作または書き込み動作を制御する制御部とを備えることを特徴とする。

【 0 0 3 8 】

請求項 1 0 の不揮発性半導体記憶装置では、制御パラメータ設定部に、消去動作または書き込み動作時の制御パラメータが設定され、制御パラメータに従って、制御部が消去動作または書き込み動作の制御を行う。

【 0 0 3 9 】

これにより、不揮発性半導体記憶装置における不揮発性半導体記憶セル等の素子特性の違いに応じて、素子信頼性を確保しながら消去または書き込み動作時間を高速化する制御パラメータを設定することができる。素子特性に合わせて最適な消去または書き込み動作を設定することができ、不揮発性半導体記憶装置の特性試験における歩留まりの向上を図ることができる。

【 0 0 4 0 】

【発明の実施の形態】

以下、本発明の不揮発性半導体記憶セルの制御方法、および不揮発性半導体記憶装置について具体化した実施形態を図 1 乃至図 6 に基づき図面を参照しつつ詳細に説明する。

【 0 0 4 1 】

図 1 および図 2 は、不揮発性半導体記憶セルの断面図において、各々、消去動作時および書き込み動作時におけるバイアス電圧と、電荷の移動について示した概念図である。

【 0 0 4 2 】

図 1 は、消去動作である。フローティングゲート端子 FG からフローティングゲート端子 FG 下のチャネル領域への FN トンネリング電流により電荷を放出することにより消去動作を行う場合を示している。いわゆるチャネルイレーズの場合である。チャネル領域を構成する P 型ウェル領域には、正電圧のウェル電圧 VWL ($> 0\text{ V}$) を印加し、コントロールゲート端子 CG には、負電圧のコントロールゲート電圧 VCG ($< 0\text{ V}$) を印加する。ソース端子 S およびドレイン端子 D は、フローティング状態に維持される。

【 0 0 4 3 】

正電圧のウェル電圧 VWL ($> 0\text{ V}$) と、負電圧のコントロールゲート電圧 VCG ($< 0\text{ V}$) とにより、不揮発性半導体記憶セルには、チャネル領域からフローティングゲート端子 FG を介してコントロールゲート端子 CG に向けて電界が印加される。この電界によりフローティングゲート端子 FG も所定電位にバイアスされる。この電界が所定電界値を上回った場合に、ゲート酸化膜を介して FN トンネリング電流が流れる。

【 0 0 4 4 】

フローティングゲート端子 FG に蓄積されていた電子が、FN トンネリング現象によりゲート酸化膜を通過してチャネル領域に到達する。到達した電子はウェル電圧 VWL より流れ出す。電子が流れ出すことによりフローティングゲート端子 FG の電位が上昇し、チャネル領域との印加電界が減少する。印加電界の減少に応じて FN トンネリング電流も減少し所定電界値に到達すると、トンネリング電流は流れなくなり消去動作は停止する。この状態から更なる消去動作を継続する場合には、より深いバイアス電圧を印加して印加電界を所定電界値以上にする必要がある。

【 0 0 4 5 】

図 2 は、書き込み動作である。ドレイン端子 D 近傍のチャネル領域からフロー

ティングゲート端子FGへのホットエレクトロン電流により電荷を注入することにより書き込み動作を行う。ソース端子Sを基準電圧(0V)として、ドレイン端子Dに正電圧のドレイン電圧VD(>0V)を印加すると共に、コントロールゲート端子CGには、正電圧のコントロールゲート電圧VCG(>0V)を印加する。

【0046】

正電圧のコントロールゲート電圧VCGとドレイン電圧VDとの電位関係により、不揮発性半導体記憶セルを飽和領域の動作状態に維持する。すなわち、チャネル領域内の所定位置にピンチオフ点が生成されるバイアス状態とする。ドレイン端子Dからピンチオフ点への高電界により、電荷(この場合は、電子)がドレイン端子Dに向かって加速され、ドレイン端子Dの近傍でホットエレクトロンを生成する。一方、コントロールゲート端子CGとチャネル領域との間には電界が印加される。この電界によりフローティングゲート端子FGも所定電位にバイアスされる。この電界が所定電界値を上回った場合に、生成されたホットエレクトロンがゲート酸化膜を介してフローティングゲート端子FG内に注入される。いわゆる、ホットエレクトロン電流として流れる。

【0047】

ホットエレクトロン電流により、電子がゲート酸化膜を通過してフローティングゲート端子FGに注入される。注入された電子は、コントロールゲート電圧VCGからの電流として観測される。電子が注入されることによりフローティングゲート端子FGの電位が下降し、チャネル領域との印加電界が減少する。印加電界の減少に応じてホットエレクトロン電流も減少し所定電界値に到達すると、ホットエレクトロン電流は流れなくなり書き込み動作は停止する。この状態から更なる書き込み動作を継続する場合には、より深いバイアス電圧を印加して印加電界を所定電界値以上にする必要がある。

【0048】

図3は、本発明の第1実施形態に係る書き込み動作(図2)におけるバイアス状態を示す波形図である。バイアス印加期間とベリファイ期間とを動作サイクルとして、動作サイクルを繰り返すことにより書き込み動作(図2)が行われる。

第 1 実施形態は、フローティングゲート端子 FG への注入電流 I_{FG} の特性が、動作ユニットごとに同等な場合の制御方法を示す。

【 0 0 4 9 】

バイアス印加期間 TP1 乃至 TP4 には、コントロールゲート端子 CG に正電圧のバイアス電圧 VBS がバイアスされる。フローティングゲート電圧 VFG には容量結合により正電圧が誘起され、チャネル領域との間に電界が印加される。この印加電界がドレイン端子 D の近傍に生成されるホットエレクトロンを加速することにより、フローティングゲート端子 FG へのホットエレクトロンの注入が行われ、注入電流 I_{FG} が流れる。

【 0 0 5 0 】

ここで、ベリファイ期間 TV は、バイアス印加期間 TP1 乃至 TP4 による書き込み動作の結果を確認するための通常の読み出し動作を行う期間であり、ベリファイ期間 TV の開始に伴いバイアス電圧 VBS の印加は解除される。従って、ベリファイ期間 TV においては、フローティングゲート電圧が、電圧 VFG0 から通常の読み出し状態の電圧レベルにシフトすると共に、注入電流 I_{FG0} も流れないのであるが、説明の便宜上図 3 においては、ベリファイ期間 TV における動作波形は省略している。

【 0 0 5 1 】

書き込み動作の開始に伴い、第 1 の動作ユニット T1 が開始される。第 1 の動作ユニット T1 は、バイアス印加期間 TP1 とベリファイ期間 TV とからなる 1 サイクルの動作サイクルで構成されている。バイアス印加期間 TP1 では、コントロールゲート電圧 VCG への初期バイアス電圧 VBS として、初期電圧 V0 が印加される ($VCG = VBS = V0$)。このバイアス電圧 $VBS = V0$ の印加による容量結合等により、フローティングゲート端子 FG には、フローティングゲート電圧 $VFG = VFG1$ の電圧が誘起される。フローティングゲート電圧 $VFG = VFG1$ による印加電界により、ホットエレクトロンが注入されて、書き込み電流として注入電流 $I_{FG} = I_{FG1}$ が流れる。

【 0 0 5 2 】

バイアス印加と共に、フローティングゲート端子 FG に印加されるフローティ

ングゲート電圧 V_{FG1} は、ホットエレクトロンの注入により徐々に電圧レベルが低下する。これにより、フローティングゲート端子 FG とチャネル領域との間の印加電界が徐々に低下して、注入電流 I_{FG} も電流 $I_{FG} = I_{FG1}$ から徐々に減少していく。注入電流 I_{FG} が所定電流値 I_{FG0} に達する時点でバイアス印加期間 $TP1$ の終了とする。このときのフローティングゲート電圧 V_{FG} は V_{FG0} である。

【 0 0 5 3 】

ここで、所定電流値 I_{FG0} とは、ホットエレクトロンの注入効率が低下して効率のよい書き込み動作が行えなくなる限界値を示している。所定電流値 I_{FG0} 以下の注入電流では書き込みの効率が悪く、この状態で書き込みを行う場合、多大な書き込み時間を必要としてしまう電流である。言い換えれば、バイアス電圧 $V_{BS} = V_0$ の印加による書き込み動作が有効である期間として、バイアス印加期間 $TP1$ が設定されることとなる。

【 0 0 5 4 】

バイアス印加期間 $TP1$ の終了に引き続いてペリファイ期間 TV が行われる。書き込みセルからの読み出し動作を行うことにより、書き込み動作が完了したか否かの確認を行う。通常の読み出し動作は、書き込み動作に比して僅少な時間で行うことができるので、ペリファイ期間に要する時間は僅かである。

【 0 0 5 5 】

引き続き実行される第2の動作ユニット $T2$ は、バイアス印加期間 $TP2$ とペリファイ期間 TV とからなる動作サイクルを2サイクル有して構成されている。バイアス印加期間 $TP2$ では、コントロールゲート電圧 V_{CG} への初期バイアス電圧 V_{BS} として、第1の動作ユニットでの初期電圧 V_0 に加算電圧 ΔV が加算されて印加される ($V_{CG} = V_{BS} = V_0 + \Delta V$)。このバイアス電圧 V_{BS} により容量結合を受けてフローティングゲート端子 FG に電圧が誘起されることになる。バイアス電圧 V_{BS} のうち電圧 V_0 については、フローティングゲート電圧 V_{FG} を、第1の動作ユニット $T1$ の終了時点での電圧 V_{FG0} に戻す効果を有するのみである。ペリファイ期間 TV に移行した際のバイアス電圧 V_{BS} の電圧シフトとは電圧値が等しく電圧遷移方向が逆であるためである。

【0056】

第2の動作ユニットT2において、フローティングゲート端子FGにホットエレクトロンの注入を起こさせるフローティングゲート電圧VFG1を誘起するためのバイアス電圧VBSの増加分が加算電圧 ΔV である。バイアス電圧VBSとして、第1の動作ユニットTP1に加算すべき加算電圧 ΔV を調整してやれば、フローティングゲート電圧VFGを、第1の動作ユニットと同じ電圧VFG1に設定することができる。これにより、第2の動作ユニットにおいても、第1の動作ユニットと同等な注入電流IFG特性を有して書き込み動作を行うことができる。更に、第2の動作ユニットT2ではベリファイ期間TVは2回あり、第1の動作ユニットT1に対して2倍のベリファイ期間TVを有する。ベリファイ期間に要する時間は僅かであるので、注入電流IFGが所定注入電流値IFG0に到るまでの時間も第1の動作ユニットと第2の動作ユニットとは同等となる($T_1 \doteq T_2$)。

【0057】

ここで、第2の動作ユニットT2では、バイアス印加期間TP2を、第1の動作ユニットT1におけるバイアス印加期間TP1の略半分として、動作ユニットT2の中間にベリファイ期間TVを有している。第1の動作ユニットT1に引き続いて行われる第2の動作ユニットT2では、書き込み動作が進行しているため、より短いバイアス印加期間TP2ごとに書き込み状態を確認することが好ましい。これにより、長いバイアス印加期間の途中で書き込み動作が完了してしまい、その後の書き込み動作が不揮発性半導体記憶セルへの過度な電圧ストレスとなってしまうことを防止することが可能である。

【0058】

更に継続される第3の動作ユニットT3では、バイアス印加期間TP3とベリファイ期間TVとからなる動作サイクルが3サイクルとなる。バイアス印加期間TP3では、コントロールゲート電圧VCGへのバイアス電圧VBSとして、加算電圧 ΔV が更に加算されて印加される($VCG = VBS = V_0 + \Delta V + \Delta V$)。更に加算される加算電圧 ΔV により、フローティングゲート端子FGにホットエレクトロンの注入を起こさせるフローティングゲート電圧VFG1を誘起する

ことができる。第2の動作ユニットTP2での加算電圧 ΔV と同等な加算電圧 ΔV により、フローティングゲート電圧VFGを、第1および第2の動作ユニットT1、T2と同じ電圧VFG1に設定することができる。

【0059】

また、バイアス印加期間TP3を、第1の動作ユニットT1におけるバイアス印加期間TP1の略3分の1として、その間に3回のペリファイ期間TVを有している。第3の動作ユニットT3では、更に書き込み動作が進行しているため、更に短いバイアス印加期間TP3ごとに書き込み状態を確認するためである。これにより、長いバイアス印加期間の途中で書き込み動作が完了してしまい、その後の書き込み動作が不揮発性半導体記憶セルへの過度な電圧ストレスとなってしまうことを防止することが可能である。

【0060】

第4の動作ユニット以降の動作ユニットにおいても、動作ユニットごとにバイアス電圧VBSとして加算電圧 ΔV を加算していけば、略同一の動作ユニット継続時間により動作ユニットごとに同等な注入電流IFG特性を有して書き込み動作を行うことができる。この場合、動作ユニットごとに動作サイクルを短縮していき、ペリファイ期間の周期を短縮していけば、バイアス印加期間の途中で書き込み動作が完了してしまい、その後の書き込み動作が不揮発性半導体記憶セルへの過度な電圧ストレスとなってしまうことを防止することが可能である。書き込み動作の完了直前の動作ユニットにおいては、動作サイクルの周期を、書き込み動作における各動作サイクルのうちで最短周期とすることにより、書き込み完了と略同時に書き込み動作を完了させることができる。

【0061】

また、以上の説明では、各動作ユニットT1乃至T3の継続時間が略同一であるとし、動作ユニット間で、注入電流IFG特性が同等であるとして説明したが、バイアス印加期間の継続時間の総和が各動作ユニットT1乃至T3で同一となるように設定することも可能である。これにより、動作ユニットにおける実際の書き込み動作の時間を動作ユニットごとに更に精度よく一致させることができ、動作ユニット間の加算電圧 ΔV が同一であることと相俟って、動作ユニット間の

注入電流 I_{FG} 特性を更に一致させることができる。

【0062】

図4は、本発明の第2実施形態に係る書き込み動作（図2）におけるバイアス状態を示す波形図である。バイアス印加期間とペリファイ期間とを動作サイクルとして、動作サイクルを繰り返すことにより書き込み動作（図2）が行われる。第2実施形態は、書き込み動作の開始より第1所定期間においては、フローティングゲート端子FGへの注入電流 I_{FG} の特性が動作ユニットごとに同等な特性としながら、書き込み動作の終端部に至る第2所定期間において、電流注入量を増大させていくことにより書き込み動作を加速する場合のうち、動作ユニットの継続時間を制御する制御方法を示す。

【0063】

ここで、第1所定期間とは、書き込み動作の開始からの所定期間であり、書き込み動作の初期においてバイアス電圧 V_{BS} の印加を必要最小限とどめて素子の信頼性を確保するための期間である。図4において（I）に示す期間である。また、第2所定期間とは、書き込み動作が完了する終端部に至る所定期間であり、素子の信頼性を確保しながらバイアス状態を加速することにより、書き込み動作を短時間で完了させるための期間である。図4において（II）に示す期間である。

【0064】

尚、ペリファイ期間TVにおける、フローティングゲート電圧 V_{FG} および注入電流 I_{FG} の動作波形については、図3と同様、説明の便宜上省略している。

【0065】

第2実施形態では、第1実施形態と同様に動作ユニット間のバイアス電圧 V_{BS} は、初期電圧 V_0 を起点として、加算電圧 ΔV が順次加算されていく。また、書き込み動作の開始からの第1所定期間の動作ユニットにおいては、動作ユニットの継続時間はT4であり、第1実施形態における動作ユニットの継続時間と同等である。

【0066】

第2実施形態では、第1実施形態に代えて、動作サイクルは動作ユニットによ

らず一定の周期で構成されており、その周期は書き込み動作の完了直前の動作ユニットにおける最短周期である。更に、書き込み動作の終端部に至る第2所定期間の動作ユニットにおいては、動作ユニットごとに動作ユニットの継続時間が短縮される構成である。動作サイクル数を減少させることにより実現している。

【0067】

書き込み動作の前半において、第1乃至第3の動作ユニットでは、動作ユニットごとに5サイクルの動作サイクルP1乃至P5により動作ユニットが構成されており、各動作ユニットにおける継続時間は同じである。加えて、動作ユニット間のバイアス電圧VBSは、加算電圧 ΔV の電圧差を有して増大していく。従って、フローティングゲート端子FGに誘起されるフローティングゲート電圧VFGは、電圧VFG1となり動作ユニットごとに同等となり、フローティングゲート電圧VFG1による注入電流IFGも電流IFG1となって動作ユニットごとに同等となる。更に、各動作ユニットの継続時間も同じであるので、動作ユニット間で同等の注入電流IFG特性を有して書き込み動作が行われる。

【0068】

従って、第2実施形態の書き込み動作における前半では、第1実施形態と同等な書き込み動作が行われる。

【0069】

書き込み動作の後半においては、動作ユニットごとに動作サイクルが1サイクルずつ減少することにより継続時間が短縮されていく。例えば、3周期の動作サイクルP1乃至P3を有する動作ユニットT6の継続時間は、4周期の動作サイクルP1乃至P4を有する動作ユニットT5の継続時間に比して1サイクルの動作サイクルが減少する。

【0070】

一方、バイアス電圧VBSは、書き込み動作の前半と同様に動作ユニットごとに加算電圧 ΔV ずつ増大しており、動作ユニット開始時に誘起されるフローティングゲート電圧VFGの増分は、電圧 ΔVFG ($VFG1 - VFG0$) となる。これに伴う注入電流IFGの増分は、電流 ΔIFG ($IFG1 - IFG0$) である。

【 0 0 7 1 】

動作ユニットごとの継続時間の短縮により、動作ユニットの開始時に誘起されるフローティングゲート電圧の増分 ΔV_{FG} に伴う注入電流の増分 ΔI_{FG} は、動作ユニットの継続期間に流れることはできない。従って、次の動作ユニットが開始される時点で、フローティングゲート電圧 V_{FG} に残留電圧 ΔV_{L1} が残留すると共に、注入電流 I_{FG} として残留電流 ΔI_{L1} が流れている。この状態で新たな動作ユニットが開始され、加算電圧 ΔV が加算されたバイアス電圧 V_{BS} が印加されるので、フローティングゲート電圧 V_{FG} 、および注入電流 I_{FG} の各々の増分は、 $\Delta V_{FG} + \Delta V_{L1}$ 、および $\Delta I_{FG} + \Delta I_{L1}$ となる。残留電圧 ΔV_{L1} 、および残留電流 ΔI_{L1} が加算された状態となる。

【 0 0 7 2 】

新たに開始された動作ユニットでは、動作ユニットの継続時間が更に短縮されるので、残留電圧 ΔV_{L1} 、および残留電流 ΔI_{L1} より大きな新たな残留電圧 ΔV_{L2} 、および残留電流 ΔI_{L2} が残留することとなる。従って、更に次の動作ユニットにおいては、残留電圧 $\Delta V_{L1} + \Delta V_{L2}$ が加算された更に大きなフローティングゲート電圧 V_{FG} が誘起されると共に、残留電流 $\Delta I_{L1} + \Delta I_{L2}$ が加算された更に大きな注入電流 I_{FG} が流れることとなる。書き込み動作の後半においては、動作ユニットごとに大きな注入電流 I_{FG} が流れることとなり、書き込み動作が加速される。

【 0 0 7 3 】

図 5 は、本発明の第 3 実施形態に係る書き込み動作（図 2）におけるバイアス状態を示す波形図である。バイアス印加期間とベリファイ期間とを動作サイクルとして、動作サイクルを繰り返すことにより書き込み動作（図 2）が行われる。第 3 実施形態は、書き込み動作の開始より第 1 所定期間においては、フローティングゲート端子 FG への注入電流 I_{FG} の特性が動作ユニットごとに同等な特性としながら、書き込み動作の終端部に至る第 2 所定期間において、電流注入量を増大させていくことにより書き込み動作を加速する場合のうち、動作ユニット間のバイアス電圧 V_{BS} 値を制御する制御方法を示す。

【 0 0 7 4 】

ここで、第 1 所定期間とは、書き込み動作の開始からの所定期間であり、書き込み動作の初期においてバイアス電圧 V_{BS} の印加を必要最小限とどめて素子の信頼性を確保するための期間である。図 5 において (I) に示す期間である。また、第 2 所定期間とは、書き込み動作が完了する終端部に至る所定期間であり、素子の信頼性を確保しながらバイアス状態を加速することにより、書き込み動作を短時間で完了させるための期間である。図 5 において (II) に示す期間である。

【 0 0 7 5 】

尚、ベリファイ期間 T_V における、フローティングゲート電圧 V_{FG} および注入電流 I_{FG} の動作波形については、図 3 と同様、説明の便宜上省略している。

【 0 0 7 6 】

第 3 実施形態では、第 2 実施形態と同様に、動作サイクルは動作ユニットによらず一定の周期で構成されており、その周期は書き込み動作の完了直前の動作ユニットにおける最短周期である。

【 0 0 7 7 】

また、第 2 実施形態において書き込み動作における後半の動作ユニットの継続時間を動作ユニットごとに短縮することに代えて、各動作ユニットの継続時間を同一に維持しながら、動作ユニット間のバイアス電圧 V_{BS} の増分を大きくする構成である。

【 0 0 7 8 】

書き込み動作の前半においては、第 2 実施形態と同様の動作である。第 1、第 2 の動作ユニットでは、動作ユニットごとに 4 サイクルの動作サイクル P_1 乃至 P_4 により動作ユニット T_7 が構成されており、各動作ユニットにおける継続時間は同じである。加えて、動作ユニット間のバイアス電圧 V_{BS} は、加算電圧 ΔV_1 の電圧差を有して増大していく。従って、フローティングゲート端子 FG に誘起されるフローティングゲート電圧 V_{FG} は、電圧 V_{FG1} となり動作ユニットごとに同等となる。フローティングゲート電圧 V_{FG1} による注入電流 I_{FG} も電流 I_{FG1} となって動作ユニットごとに同等となる。更に、各動作ユニットの継続時間も同じであるので、動作ユニット間で同等の注入電流 I_{FG} 特性を有

して書き込み動作が行われる。

【 0 0 7 9 】

書き込み動作の後半においては、各動作ユニットは、4サイクルの動作サイクルを有しており同等の継続時間である。これに対して、動作ユニット間のバイアス電圧 VBS の加算電圧が、動作ユニットごとに大きくなっていく。すなわち、書き込み動作の前半における加算電圧 $\Delta V1$ に比して、動作ユニットごとに加算される加算電圧 $\Delta V2$ 乃至 $\Delta V4$ は、動作ユニットごとに大きくなっていく ($\Delta V1 < \Delta V2 < \Delta V3 < \Delta V4$)。

【 0 0 8 0 】

バイアス電圧 VBS の増大に伴い、動作ユニット開始時に誘起されるフローティングゲート電圧 VFG の増分は動作ユニットごとに、電圧 ΔVFG ($VFG1 - VFG0$) より大きくなる。加算電圧 $\Delta V2$ によるフローティングゲート電圧 VFG の増分は、電圧 $\Delta VFG1$ ($> \Delta VFG$) となる。更に、加算電圧 $\Delta V3$ ($> \Delta V2$) によるフローティングゲート電圧 VFG の増分は、電圧 $\Delta VFG2$ ($> \Delta VFG1 > \Delta VFG$) となる。これに伴う注入電流 IFG の増分も、電流 ΔIFG ($IFG1 - IFG0$) より大きくなり、電圧 $\Delta VFG1$ に対しては電流 $\Delta IFG1$ ($> \Delta IFG$) となる。更に、電圧 $\Delta VFG2$ に対しては電流 $\Delta IFG2$ ($> \Delta IFG1 > \Delta IFG$) となる。

【 0 0 8 1 】

先行する動作ユニットにおける加算電圧 $\Delta V1$ に比して、より大きな加算電圧 $\Delta V2$ が加算されたバイアス電圧 VBS が印加されると、フローティングゲート端子 FG には、先行する動作ユニットでのフローティングゲート電圧の増分 ΔVFG に比して、より大きな電圧の増分 $\Delta VFG1$ が誘起される。このため、注入電流の増分 $\Delta IFG1$ は、先行する動作ユニットでの増分 ΔIFG に比して大きくなる。その結果、動作ユニットの継続時間 $T7$ の終了時点においても、注入電流 IFG が所定電流値 $IFG0$ まで減少することはない。従って、次の動作ユニットが開始される時点で、フローティングゲート電圧 VFG に残留電圧 $\Delta VL3$ が残留すると共に、注入電流 IFG として残留電流 $\Delta IL3$ が流れている。この状態で新たな動作ユニットが開始され、更に大きな加算電圧 $\Delta V3$ が加算された

バイアス電圧 V_{BS} が印加される。フローティングゲート電圧 V_{FG} 、および注入電流 I_{FG} の各々の増分は、 $\Delta V_{FG2} + \Delta V_{L3}$ 、および $\Delta I_{FG2} + \Delta I_{L3}$ となる。バイアス電圧 V_{BS} における加算電圧 ΔV_3 の増加分に、残留電圧 ΔV_{L3} 、および残留電流 ΔI_{L3} が加算された状態となる。

【0082】

新たに開始された動作ユニットでは、バイアス電圧 V_{BS} における加算電圧 ΔV_3 は、先行する動作ユニットにおける加算電圧 ΔV_2 に比してさらに加算された電圧である。このため、残留電圧 ΔV_{L3} 、および残留電流 ΔI_{L3} より大きな新たな残留電圧 ΔV_{L4} 、および残留電流 ΔI_{L4} が残留することとなる。動作ユニットごとにバイアス電圧 V_{BS} における加算電圧が増大していくことにより、動作ユニットの終了時点でのフローティングゲート電圧 V_{FG} の残留電圧、および注入電流 I_{FG} の残留電流が動作ユニットごとに大きくなる。書き込み動作の後半において、動作ユニットごとにより大きな注入電流 I_{FG} が流れることとなり、書き込み動作が加速される。

【0083】

図6には、第4実施形態として、外部からの制御パラメータの設定に応じて、消去動作または書き込み動作の動作シーケンスを適宜に変更が可能な不揮発性半導体記憶装置1を示す。

【0084】

不揮発性半導体記憶装置1は、不揮発性半導体記憶セルを備えたメモリセルアレイ5と、メモリセルアレイ5に備えられた不揮発性半導体記憶セルに対して消去または書き込み動作を行う消去／書き込み回路4と、消去／書き込み回路4に制御信号を供給する消去／書き込み制御部3と、消去／書き込み制御部3に対して制御用の制御パラメータを供給する制御パラメータ設定部2とを備えて構成されている。

【0085】

メモリセルアレイ5に備えられている不揮発性半導体記憶セルは、図1または図2に示した断面構造を有する記憶セルであり、メモリセルアレイ5内にマトリクス状に配置されている。配置された不揮発性半導体記憶セルは、製造上のばら

つきによりトランジスタ特性が所定の広がりを持てばつくことが一般的である。この特性ばらつきにより、不揮発性半導体記憶セルにおける消去特性や書き込み特性が不揮発性半導体記憶装置 1 ごとに所定の広がりを持てばつくこととなる。具体的には、平均的な特性に比して、少ないストレスの印加で消去または書き込みが完了する特性を有する不揮発性半導体記憶装置や、逆に、平均的な特性に比して、多くのストレスを印加しないと消去または書き込みが完了しない特性を有する不揮発性半導体記憶装置が、不揮発性半導体記憶装置ごとに所定のばらつきを持てば製造されることが一般的である。

【 0 0 8 6 】

消去／書き込み回路 4 とは、メモリセルアレイ 5 内の個々の不揮発性半導体記憶セルに各種のバイアスを印加すると共に、データの入出力を行う回路を備えている。コントロールゲート電圧 V_{CG} 、ウェル電圧 V_{WL} 、ソース電圧 V_S 、ドレイン電圧 V_D 等の電圧印加を行い、メモリセルとの間のデータ入出力を行う。

【 0 0 8 7 】

消去／書き込み制御部 3 とは、消去／書き込み回路 4 の動作を制御する回路である。消去／書き込み動作における各種の動作タイミングを制御すると共に、コントロールゲート電圧 V_{CG} 等へのバイアス電圧のバイアス印加期間、バイアス印加回数、バイアス電圧や動作サイクル、動作ユニット等の切り替え制御等の各種の制御を行う。

【 0 0 8 8 】

制御パラメータ設定部 2 には、記憶手段を備えており、消去／書き込み制御部 3 における各種の制御動作に対するパラメータを格納することができる。ヒューズやワンタイム ROM 等の書き込み回数が 1 回である記憶手段や、RAM や不揮発性半導体記憶セル等の書き換え可能なメモリ素子、レジスタ等のデータ保持機能を有する回路要素等、制御パラメータを記憶しておくことができる記憶手段であれば、適宜に選択して構成することができる。

【 0 0 8 9 】

製品出荷前の特性試験において、製造ばらつきに起因する不揮発性半導体記憶セルの特性ばらつきを測定する。この測定結果に基づき、素子信頼性を確保した

上で消去／書き込み動作を高速に行うことができる制御パラメータを設定する。

【0090】

ここで、適切な制御パラメータの設定方法としては、特性試験における消去／書き込み試験において、最初に消去／書き込みが完了するまでのバイアス条件、時間等のパラメータを考慮して設定することができる。すなわち、長い消去／書き込み時間を要するチップに対しては、消去／書き込み動作を開始するバイアス電圧や動作終了時のバイアス電圧を特性試験におけるバイアス電圧に比して更に深くすること、消去／書き込み動作を加速するタイミングをより早い段階に設定すること、または消去／書き込み動作の後半において、動作ユニットの継続時間を短縮することまたは動作ユニット間のバイアス電圧の加算電圧を大きく設定するなどのパラメータの設定が考えられる。尚、消去／書き込み時間が短いチップに対しては逆の設定を行えばよい。これらの制御を具体化するために、バイアス電圧、バイアス印加期間の継続時間、あるいは動作サイクルの回数、更に、バイアス電圧を変化させる場合においては、開始バイアス電圧、最終バイアス電圧、あるいはバイアス電圧間の電圧差のうち少なくとも1つを適宜に組み合わせて、不揮発性半導体記憶装置ごとに所望の動作制御を実現することができる。

【0091】

以上詳細に説明したとおり、第1実施形態に係る不揮発性半導体記憶セルの制御方法では、バイアス電圧 V_{BS} の増加電圧差である初期電圧 V_0 または加算電圧 ΔV に対して、正の相関を有して動作ユニット T_1 乃至 T_3 の継続時間が決定される。具体的には、加算電圧 ΔV に応じて誘起されるフローティングゲート電圧 V_{FG1} による電界印加によって、有効な注入電流 I_{FG} が流れる時間に合わせて動作ユニット T_1 乃至 T_3 の継続時間を設定することができる。注入電流 I_{FG} が減少して残存電界が低下した段階で、更なるバイアス電圧 V_{BS} を印加することができ、残存電界に印加電界が加算されることはない。素子の信頼性を確保しながら効率的に書き込み動作を行うことができる。

【0092】

また、注入電流 I_{FG} は正の相関を有して一意に定まるので、バイアス電圧 V_{BS} として大きな増加電圧差が印加される場合には、注入電流 I_{FG} が流れる時

間は長くなる。動作ユニット T 1 乃至 T 3 の継続時間を長くすることにより、印加電界が低下するまでの有効な注入電流 I F G を継続して流すことができる。また、バイアス電圧 V B S として小さな増加電圧差が印加される場合には、注入電流 I F G が流れる時間は短くなる。動作ユニット T 1 乃至 T 3 の継続時間を短くすることにより、印加電界の低下による注入電流 I F G の減少に合わせて次の動作ユニットに移行することができる。何れの場合にも、印加電界の低下に合わせて更なるバイアス電圧が印加されることとなり、印加電界が加算されてしまうことはなく信頼性を維持しながら高速な消去または書き込みを行うことができる。

【 0 0 9 3 】

また、動作ユニットごとに、バイアス印加期間 T P 1 乃至 T P 4 が短縮され、同時にペリファイ期間 T V の間隔も短縮される。動作ユニットの切り替わりが進み、書き込み動作の完了に近づくに応じて、短い時間のバイアス電圧 V B S の印加ごとにペリファイを行うことができ、書き込み動作の完了と共にバイアス電圧 V B S の印加を停止することができる。動作完了後に不必要なバイアス電圧 V B S の印加が継続されることはなく、不必要な電界ストレスによる素子の信頼性劣化を防止することができる。

【 0 0 9 4 】

また、動作ユニット間のバイアス電圧 V B S の増分である加算電圧 ΔV が一定であり、各動作ユニットの継続時間を一定にして、各動作ユニットの終了時点での残存電界が十分に低下する設定としている。このため、素子に印加される電界は各動作ユニットで同等となる。各動作ユニットでのフローティングゲート電圧 V F G 1 を最大化して印加電界を最大化することにより、注入電流 I F G 1 を最大化することができる。動作ユニット間で印加電界が加算されることがなく、素子信頼性を確保しながら高速な消去または書き込み動作を行うことができる。

【 0 0 9 5 】

また、動作ユニット T 1 乃至 T 3 ごとに、ペリファイ期間 T V を除外したバイアス印加期間 T P 1 乃至 T P 4 の総時間を同じとすれば、バイアス電圧 V B S が印加されている時間を動作ユニットごとに精度よく一致させることができる。フローティングゲート電圧 V F G による印加電界に対して有効な注入電流 I F G が

流れる期間を精度よく一致させることができ、素子信頼性と高速動作に寄与するところ大である。

【 0 0 9 6 】

また、第 2 または第 3 実施形態に係る不揮発性半導体記憶セルの制御方法では、書き込み動作の開始より第 1 所定期間においては、動作ユニット間のバイアス電圧 V_{BS} の増加電圧差である加算電圧 ΔV により、有効な注入電流 I_{FG} が流れる時間に合わせて動作ユニットの継続時間を設定することができ、素子の信頼性を確保しながら効率的に消去または書き込み動作を行うことができる。加えて、消去動作または書き込み動作の終端部に至る第 2 所定期間においては、注入電流 I_{FG} が所定電流値 I_{FG0} に減少する前の段階で、より深いバイアス電圧 V_{BS} を印加する。フローティングゲート電圧 V_{FG} の増大に伴う注入電流 I_{FG} の増大により、書き込み動作を加速させることができる。動作初期における素子信頼性を確保しながら高速な書き込み動作を実現することができる。

【 0 0 9 7 】

また、書き込み動作の終端部に至る第 2 所定期間において、ベリファイ期間 T_V の間隔が短縮されるので、動作完了に近づいた段階で、頻繁にベリファイを行うことができ、動作完了と共にバイアス電圧の印加を停止することができる。

【 0 0 9 8 】

更に、第 2 実施形態によれば、第 2 バイアス調整ステップでは、1 つ前の動作ユニットに対して継続時間を短縮することにより、動作ユニットごとに素子への印加電界を加速して動作の高速化を図ることができる。

【 0 0 9 9 】

また、第 3 実施形態によれば、第 2 バイアス調整ステップでは、1 つ前の動作ユニット間でのバイアス電圧 V_{BS} の増加電圧差に比して大きな電圧差を印加することにより、動作ユニットごとに素子への印加電界を加速して動作の高速化を図ることができる。

【 0 1 0 0 】

また、第 4 実施形態に係る不揮発性半導体記憶装置では、不揮発性半導体記憶装置 1 の製造ばらつきによる不揮発性半導体記憶セルの素子特性の違いに応じて

、素子信頼性を確保しながら消去または書き込み動作時間を高速化する制御パラメータを、制御パラメータ設定部 2 に設定することができる。素子特性に合わせて最適な消去または書き込み動作を設定することができ、不揮発性半導体記憶装置 1 の特性試験における歩留まりの向上を図ることができる。

【0101】

尚、本発明は前記実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲内で種々の改良、変形が可能であることは言うまでもない。

例えば、第 1 乃至第 3 実施形態においては、書き込み動作（図 2）を例にとり、制御方法を説明したが、本発明はこれに限定されるものではなく、消去動作についても、バイアス電圧 V_{BS} を、コントロールゲート電圧 V_{CG} またはウェル電圧 V_{WL} として同様に適用することができる。この場合、コントロールゲート電圧 V_{CG} は負電圧であり、フローティングゲート電圧 V_{FG} も負電圧となる。従って、消去電流も電流方向が逆となり、注入電流 I_{FG} に代えて、FN-トンネリングによる放出電流 I_{FG} となる。

【0102】

また、第 1 実施形態においては、所定電流値 I_{FG0} を有限の電流値として説明したが、注入電流 $I_{FG} = 0$ として、電流が流れなくなる時点を動作ユニットの終了時点としてもよいことは言うまでもない。

また、動作サイクルの周期が、動作ユニットごとに短縮されていく場合を例に説明したが、動作サイクルを各動作ユニットで同一の最短周期とする構成、消去または書き込み動作の完了に至る終端部においてのみ最短周期に切り替える構成等のバリエーションが可能であることは言うまでもない。

更に、バイアス電圧 V_{BS} における初期電圧 V_0 および加算電圧 ΔV により誘起されるフローティングゲート電圧 V_{FG1} は、同等であるとして説明したが、各々で異なる電圧が誘起される構成も可能である。この場合には、第 1 の動作ユニットの継続時間と、第 2 の動作ユニット以降の継続時間とを異なる時間に調整してやれば同様の効果を奏することとなる。

【0103】

また、第 2 または第 3 実施形態においては、動作サイクルを動作ユニット間で

一定にする必要はない。消去または書き込み動作の初期段階においては、動作サイクルの周期を長周期とすることも可能である。

また、第2バイアス調整ステップにおける加速動作については、動作ユニットごとに、動作ユニットの継続時間を短縮し、あるいは動作ユニット間のバイアス電圧VBSにおける加算電圧を増大し、動作を加速する場合を示したが、所定数の動作ユニットごとに加速する制御や、第1バイアス調整ステップに対して加速する制御とすることも可能である。

また、第2実施形態と第3実施形態を組み合わせた制御を行なうことも可能である。

【0104】

ここで、本発明に関する技術思想を以下に列記する。

(付記1) 消去または書き込み用のバイアス電圧を印加するバイアス印加期間と、前記バイアス印加期間の終了後に結果確認を行うベリファイ期間とを動作サイクルとして、前記動作サイクルを繰り返し行うことにより不揮発性半導体記憶セルに対して消去動作または書き込み動作を行う際、

前記消去動作または前記書き込み動作の進行に従い、連続する少なくとも1つの前記動作サイクルを含む動作ユニットごとに前記バイアス電圧が深くなり、前記動作ユニットの継続時間が、1つ前の前記動作ユニットとの前記バイアス電圧の電圧差に対して正の相関を有して調整されるバイアス調整ステップと、

前記消去動作または前記書き込み動作の終端部において、前記動作サイクルの周期が最短周期となるベリファイステップとを有することを特徴とする不揮発性半導体記憶セルの制御方法。

(付記2) 前記バイアス調整ステップでは、前記動作ユニットの継続時間は、前記不揮発性半導体記憶セルへの前記バイアス電圧の印加による消去または書き込み用の電流が、所定電流値に減少する時間に応じて調整されることを特徴とする付記1に記載の不揮発性半導体記憶セルの制御方法。

(付記3) 前記ベリファイステップに至る前記動作ユニットにおいては、前記動作サイクルの周期が、前記動作ユニットごとに減少することを特徴とする付記1に記載の不揮発性半導体記憶セルの制御方法。

(付記 4) 前記バイアス調整ステップでは、隣接する前記動作ユニット間の前記バイアス電圧の電圧差、および前記動作ユニットの継続時間は、前記動作ユニット間で同じであることを特徴とする付記 1 に記載の不揮発性半導体記憶セルの制御方法。

(付記 5) 前記バイアス調整ステップでは、隣接する前記動作ユニット間の前記バイアス電圧の電圧差、および前記動作ユニットにおける前記バイアス印加期間の総時間は、前記動作ユニット間で同じであることを特徴とする付記 1 に記載の不揮発性半導体記憶セルの制御方法。

(付記 6) 消去または書き込み用のバイアス電圧を印加するバイアス印加期間と、前記バイアス印加期間の終了後に結果確認を行うベリファイ期間とを動作サイクルとして、前記動作サイクルを繰り返すことにより不揮発性半導体記憶セルに対して消去動作または書き込み動作を行う際、

前記消去動作または前記書き込み動作の開始より第 1 所定期間において、前記消去動作または前記書き込み動作の進行に従い、連続する少なくとも 1 つの前記動作サイクルを含む動作ユニットごとに前記バイアス電圧が深くなり、前記動作ユニットの継続時間が、1 つ前の前記動作ユニットとの前記バイアス電圧の電圧差に対して正の相関を有して調整される第 1 バイアス調整ステップと、

前記消去動作または前記書き込み動作の終端部に至る第 2 所定期間において、前記消去動作または前記書き込み動作の進行に従い、連続する少なくとも 1 つの前記動作サイクルを含む動作ユニットごとに前記バイアス電圧が深くなり、前記動作ユニットの継続時間が、前記第 1 バイアス調整ステップにおいて調整される時間に比して短縮される第 2 バイアス調整ステップと、

前記消去動作または前記書き込み動作の終端部において、前記動作サイクルの周期が最短周期となるベリファイスステップとを有することを特徴とする不揮発性半導体記憶セルの制御方法。

(付記 7) 前記第 1 バイアス調整ステップでは、前記動作ユニットの継続時間は、前記不揮発性半導体記憶セルへの前記バイアス電圧の印加による消去または書き込み用の電流が、前記所定電流値に減少する時間に応じて調整され、

前記第 2 バイアス調整ステップでは、前記動作ユニットの継続時間は、前記不

揮発性半導体記憶セルへの前記バイアス電圧の印加による消去または書き込み用の電流が、前記所定電流値に至る前の時間に調整されることを特徴とする付記 6 に記載の不揮発性半導体記憶セルの制御方法。

(付記 8) 前記ベリファイステップは、前記第 2 バイアス調整ステップにおいて行われることを特徴とする付記 6 に記載の不揮発性半導体記憶セルの制御方法。

(付記 9) 前記第 2 バイアス調整ステップでは、前記動作ユニットの継続時間は、先行する前記動作ユニットの継続時間に比して短縮されることを特徴とする付記 6 に記載の不揮発性半導体記憶セルの制御方法。

(付記 10) 前記第 2 バイアス調整ステップでは、前記動作ユニットにおける前記動作サイクルの数が、先行する前記動作ユニットにおける前記動作サイクルの数に比して減少することを特徴とする付記 9 に記載の不揮発性半導体記憶セルの制御方法。

(付記 11) 前記先行する動作ユニットとは、前記第 1 バイアス調整ステップにおける前記動作ユニットであることを特徴とする付記 9 に記載の不揮発性半導体記憶セルの制御方法。

(付記 12) 前記先行する動作ユニットとは、1 つ前の前記動作ユニットであることを特徴とする付記 9 に記載の不揮発性半導体記憶セルの制御方法。

(付記 13) 前記第 2 バイアス調整ステップでは、隣接する前記動作ユニット間の前記バイアス電圧の電圧差は同じであることを特徴とする付記 12 に記載の不揮発性半導体記憶セルの制御方法。

(付記 14) 前記第 2 バイアス調整ステップでは、前記動作ユニット間の前記バイアス電圧の電圧差は、先行する前記動作ユニット間の前記バイアス電圧の電圧差に比して増大することを特徴とする付記 6 に記載の不揮発性半導体記憶セルの制御方法。

(付記 15) 前記先行する動作ユニットとは、前記第 1 バイアス調整ステップにおける前記動作ユニットであることを特徴とする付記 14 に記載の不揮発性半導体記憶セルの制御方法。

(付記 16) 前記先行する動作ユニットとは、1 つ前の前記動作ユニットであ

ることを特徴とする付記 1 4 に記載の不揮発性半導体記憶セルの制御方法。

(付記 1 7) 前記第 2 バイアス調整ステップでの前記動作ユニットの継続時間は、第 1 バイアス調整ステップでの前記動作ユニットの継続時間と同等であることを特徴とする付記 1 6 に記載の不揮発性半導体記憶セルの制御方法。

(付記 1 8) 消去または書き込み用のバイアス電圧を印加するバイアス印加期間と、前記バイアス印加期間の終了後に結果確認を行うベリファイ期間とを動作サイクルとして、前記動作サイクルを繰り返し行うことにより不揮発性半導体記憶セルに対して消去動作または書き込み動作を行う不揮発性半導体記憶装置であって、

前記消去動作または前記書き込み動作時の制御パラメータを設定する制御パラメータ設定部と、

前記制御パラメータ設定部からの前記制御パラメータに応じて、前記消去動作または前記書き込み動作を制御する制御部とを備えることを特徴とする不揮発性半導体記憶装置。

(付記 1 9) 前記制御パラメータ設定部は、前記制御パラメータの外部からの設定が可能な記憶部を備えることを特徴とする付記 1 8 に記載の不揮発性半導体記憶装置。

(付記 2 0) 前記記憶部は、書き換え可能であることを特徴とする付記 1 9 に記載の不揮発性半導体記憶装置。

(付記 2 1) 前記制御パラメータは、前記消去動作または前記書き込み動作において前記不揮発性半導体記憶セルに印加する、前記バイアス電圧、前記バイアス印加期間の継続時間、あるいは前記動作サイクルの回数、更に、前記バイアス電圧を変化させる場合においては、開始バイアス電圧、最終バイアス電圧、あるいは前記バイアス電圧間の電圧差のうち少なくとも 1 つであることを特徴とする付記 1 8 に記載の不揮発性半導体記憶装置。

(付記 2 2) 前記制御パラメータは、消去特性試験または書き込み特性試験において、消去動作の完了または書き込み動作の完了が確認されるまでの時間と、その間のバイアス条件に基づき、設定されることを特徴とする付記 1 8 に記載の不揮発性半導体記憶装置。

【 0 1 0 5 】

【発明の効果】

本発明によれば、過度な電界を印加することなく信頼性を確保した上で、消去動作または書き込み動作を高速に行うことができる不揮発性半導体記憶セルの制御方法、および不揮発性半導体記憶装置を提供することが可能となる。

【図面の簡単な説明】

【図 1】

不揮発性半導体記憶セルの消去動作を示す概念図である。

【図 2】

不揮発性半導体記憶セルの書き込み動作を示す概念図である。

【図 3】

第 1 実施形態の波形図である。

【図 4】

第 2 実施形態の波形図である。

【図 5】

第 3 実施形態の波形図である。

【図 6】

第 4 実施形態の不揮発性半導体記憶装置の回路ブロック図である。

【図 7】

従来技術（特許文献 1）の波形図である。

【符号の説明】

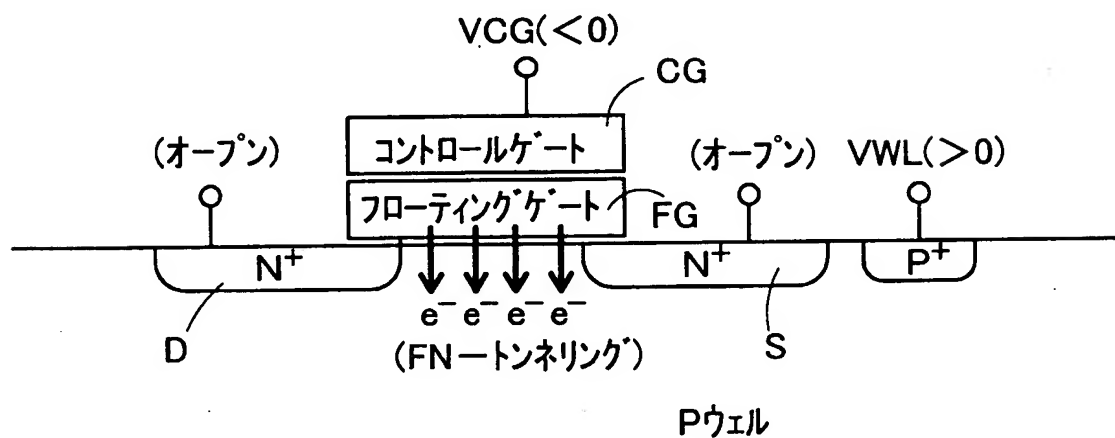
1	不揮発性半導体記憶装置
2	制御パラメータ設定部
3	消去／書き込み制御部
4	消去／書き込み回路
5	メモリセルアレイ
CG	コントロールゲート端子
FG	フローティングゲート端子
D	ドレイン端子

S	ソース端子
T 1 乃至 T 7	動作ユニット
T P 1 乃至 T P 4	バイアス印加期間
T V	ベリファイ期間
I F G	注入電流
I F G 0	所定注入電流値
V B S	バイアス電圧
V C G	コントロールゲート電圧
V D	ドレイン電圧
V W L	ウェル電圧
ΔV	加算電圧
V 0	初期電圧

【書類名】 図面

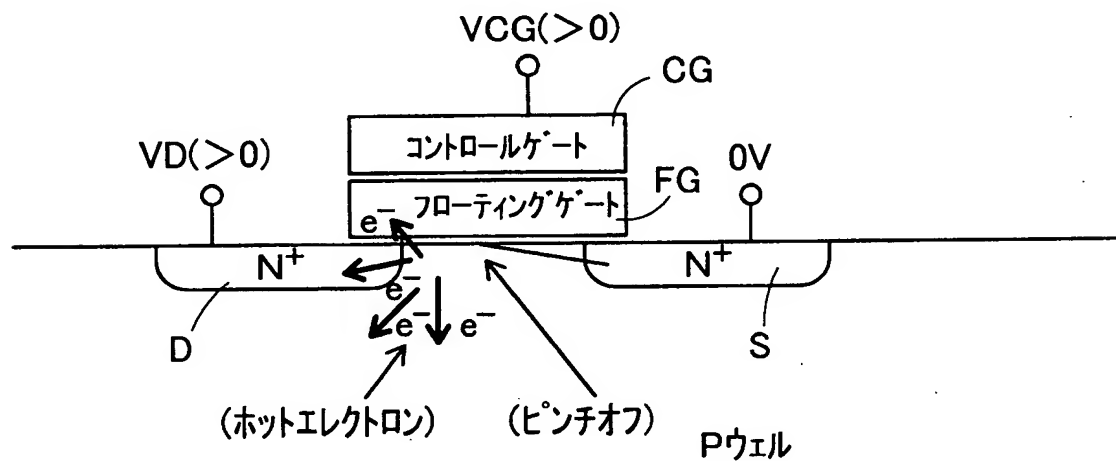
【図 1】

不揮発性半導体記憶セルの消去動作概念図



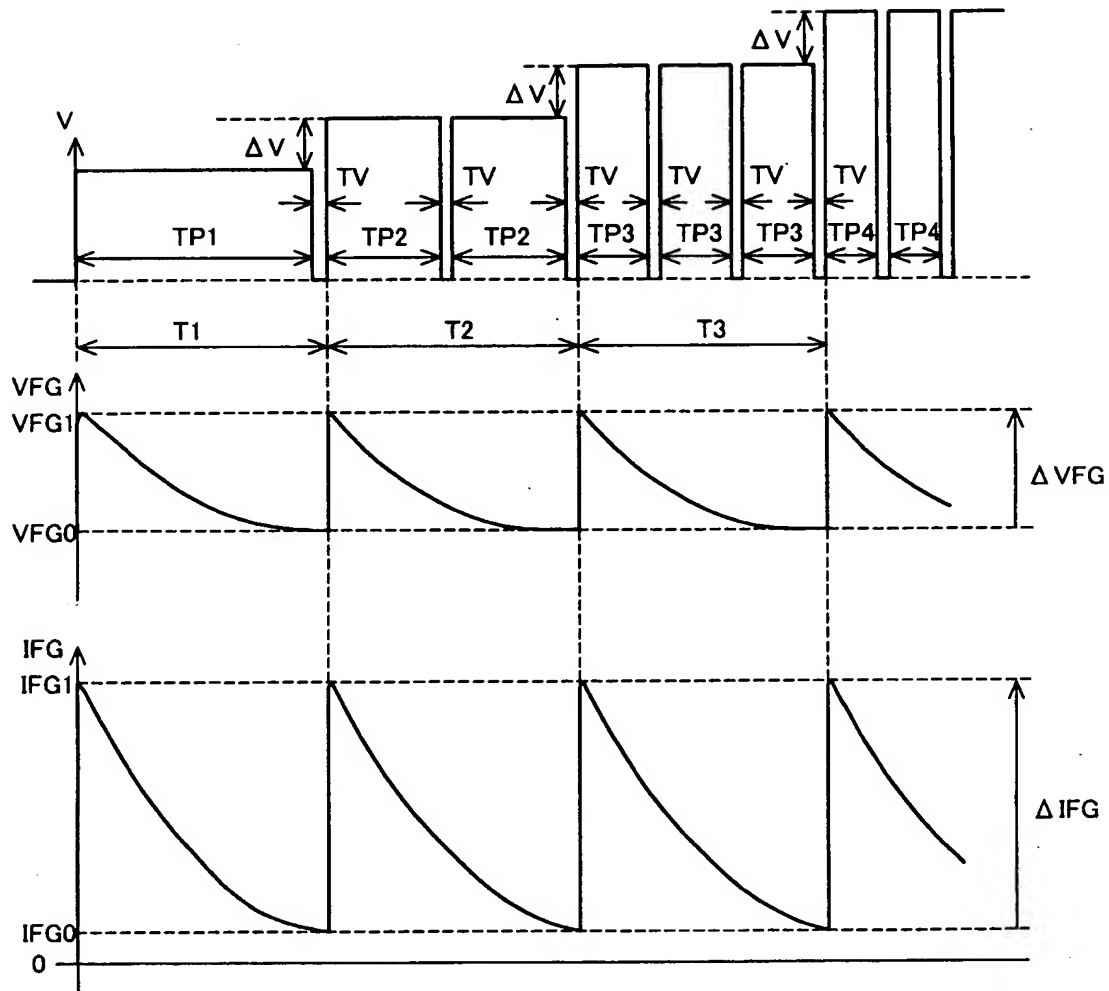
【図 2】

不揮発性半導体記憶セルの書き込み動作概念図



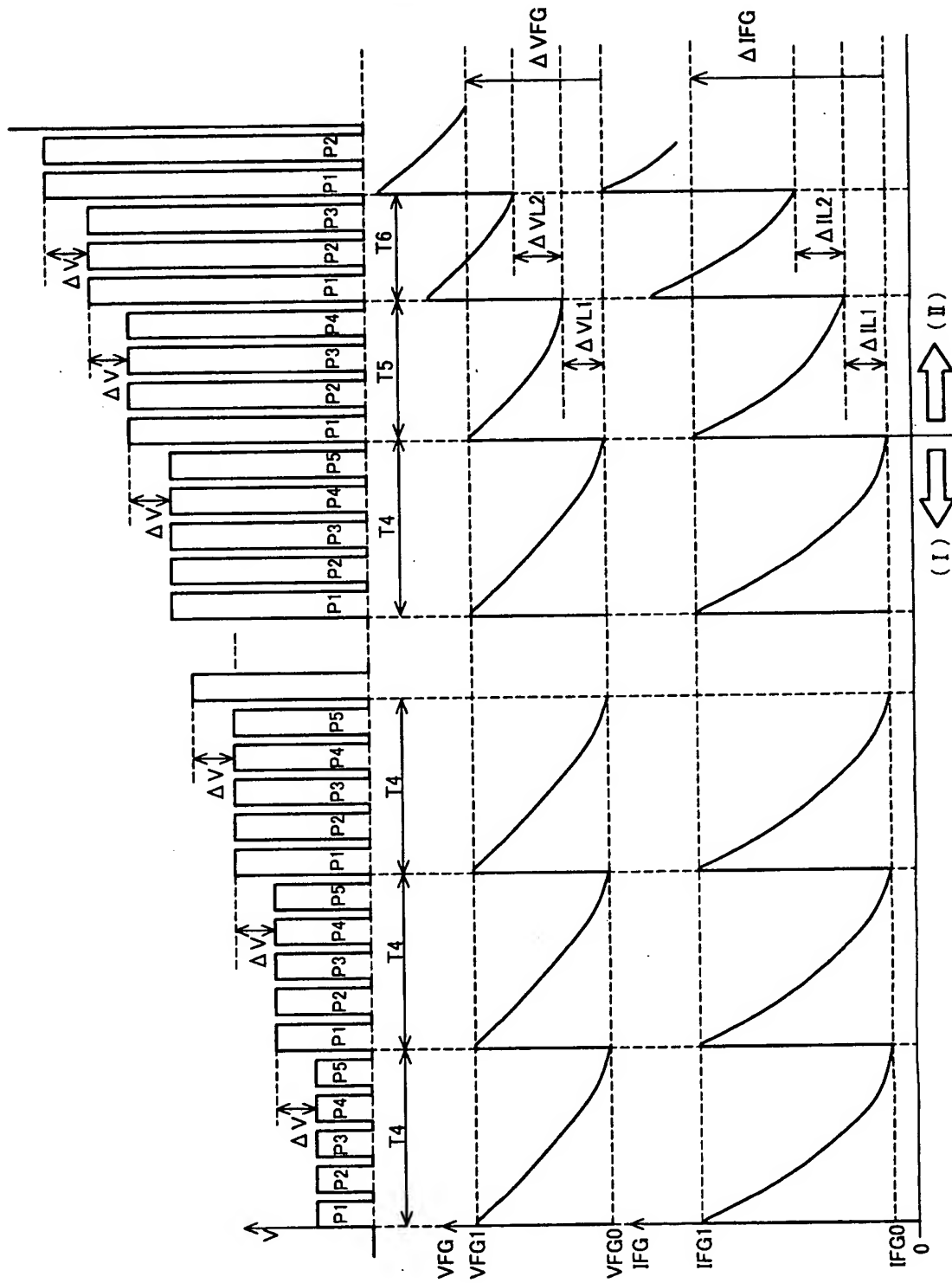
【図 3】

第1実施形態の波形図



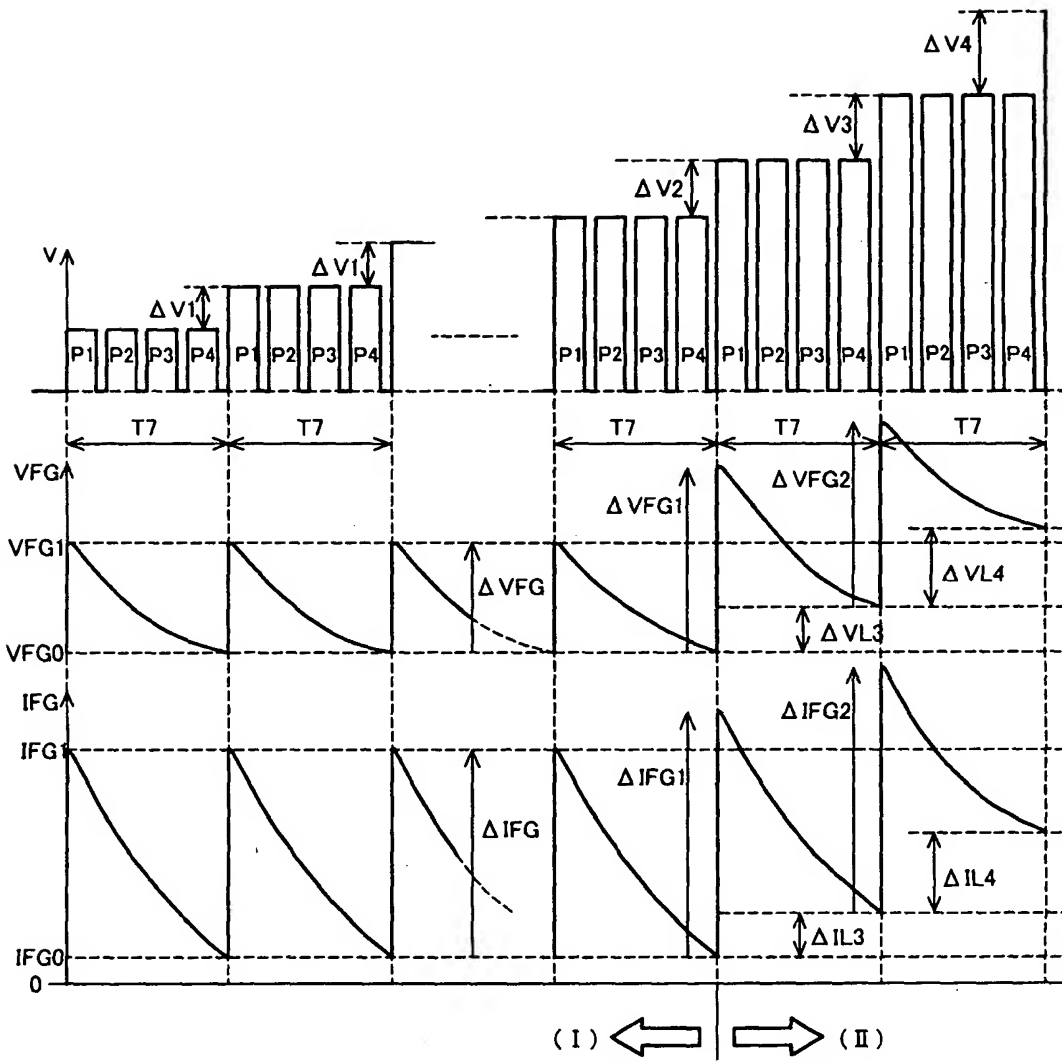
【図 4】

第2実施形態の波形図



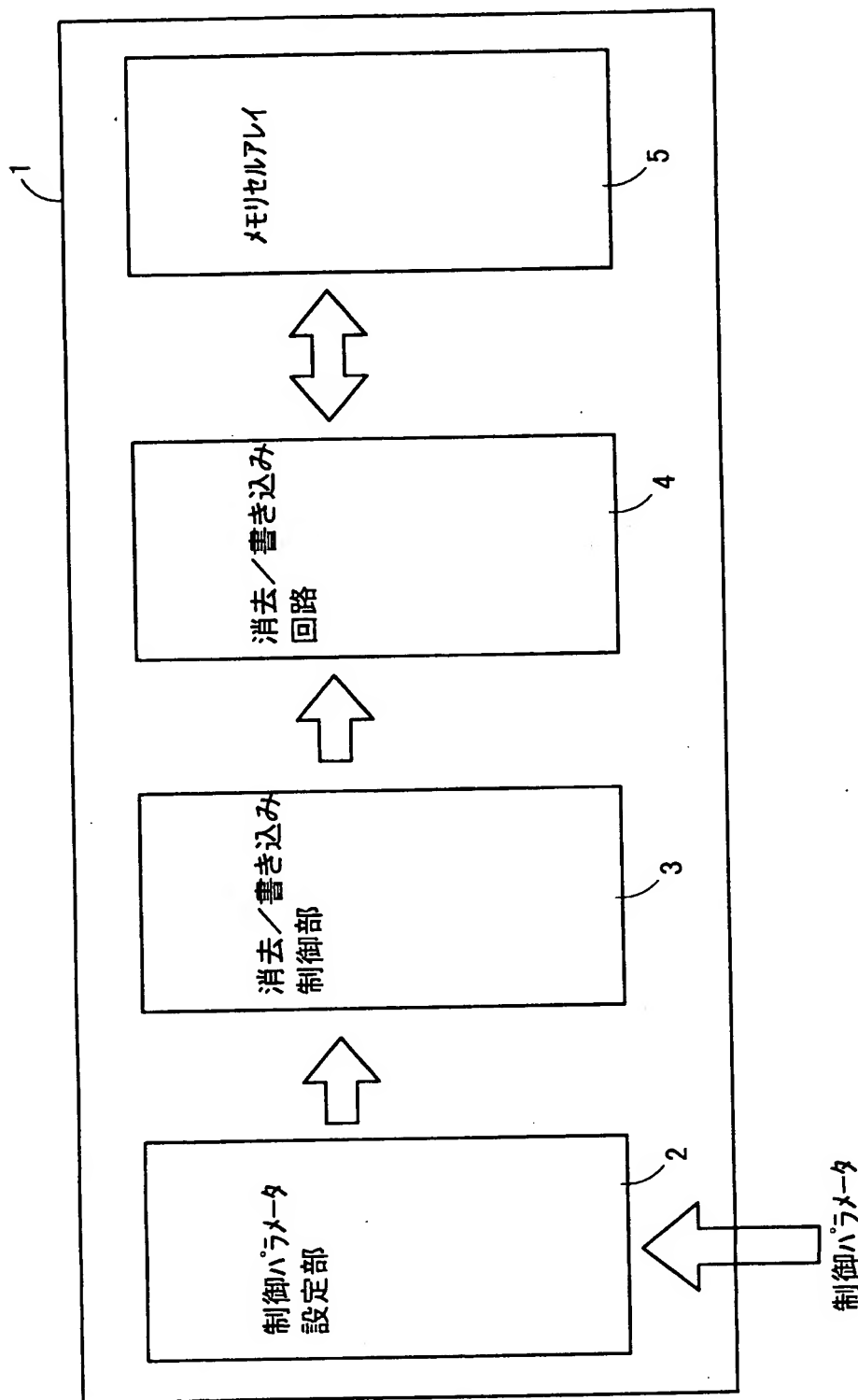
【図5】

第3実施形態の波形図



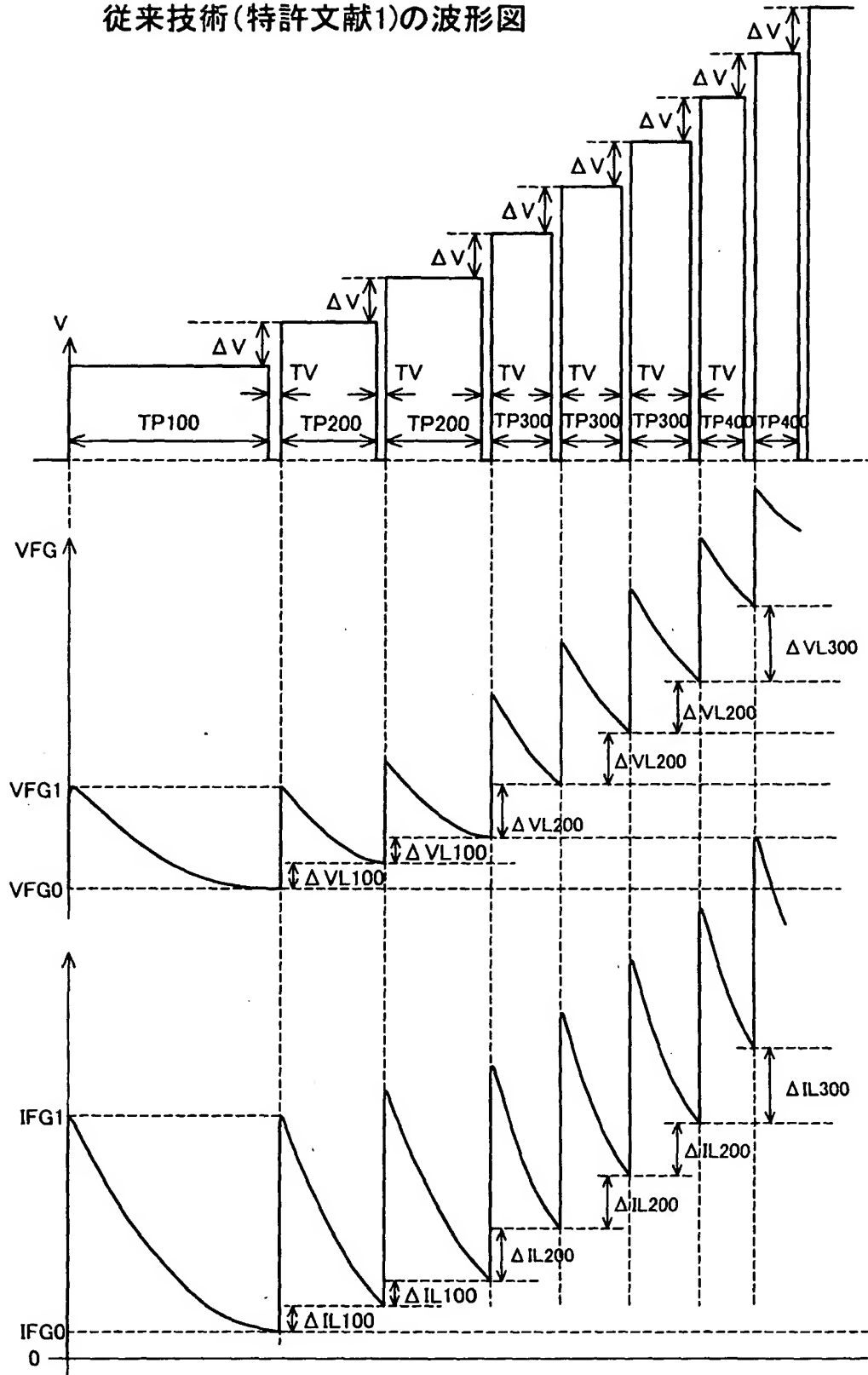
【図 6】

第4実施形態の不揮発性半導体記憶装置の回路ブロック図



【図 7】

従来技術(特許文献1)の波形図



【書類名】 要約書

【要約】

【課題】 過度な電界を印加することなく信頼性を確保した上で、消去動作または書き込み動作を高速に行うための制御方法、および不揮発性半導体記憶装置を提供すること

【解決手段】 バイアス印加期間とベリファイ期間とからなる動作サイクルを所定周期纏めた動作ユニットごとに、バイアス電圧 V_{BS} として加算電圧 ΔV を加算していけば、略同一の動作ユニット継続時間により動作ユニットごとに同等な注入電流 I_{FG} 特性を有して書き込み動作を行うことができる。この場合、動作ユニットごとに動作サイクルを短縮していき、ベリファイ期間の周期を短縮していけば、バイアス印加期間の途中で書き込み動作が完了してしまい、その後も書き込み動作が継続して不揮発性半導体記憶セルへの過度な電圧ストレスとなってしまうことを防止することができる。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社